

Les circuits séquentiels

•Introduction

•Circuit combinatoire :

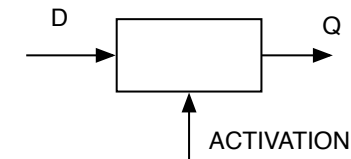
- Des valeurs aux entrées donnent toujours les mêmes valeurs de sortie (correspondant aux valeurs des fonctions booléennes réalisées)
- De façon quasi instantanée (temps de stabilisation des portes)

•Circuit séquentiel :

- Les valeurs de sorties dépendent de la séquence des valeurs d'entrée depuis le début du monde (*reset*)
- Il possède donc une fonction de mémorisation

L'élément de base : la bascule

- Circuit élémentaire permettant de mémoriser 1 bit



• Fonctionnement:

Activation	D	Q
Oui	0	0
Oui	1	1
Non	*	Q à l'instant précédent

*: valeur indifférente

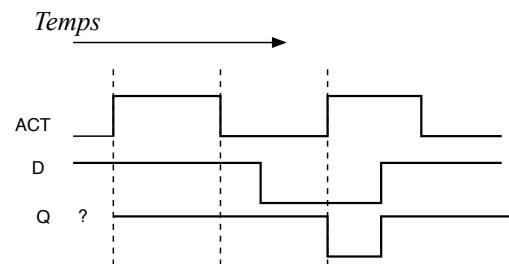
- Il existe différentes fonctions d'activation.

Bascule sensible au niveau

- L'état (la sortie) de la bascule ne peut changer (valeur de l'entrée) que pendant un "niveau" (haut ou bas) de l'entrée ACTIVATION

• Appelée VERROU (ou LATCH)

- Chronogramme : (sensible au niveau haut)



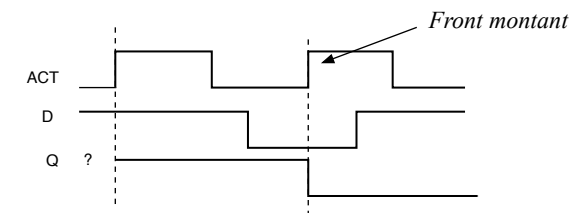
- Problème si D change quand ACT passe de 0 à 1, Q est indéterminé

Bascule sensible au front

- L'état (la sortie) de la bascule ne peut changer qu'au moment du front (haut ou bas) de l'entrée ACTIVATION

• Appelée bascule à front (D)

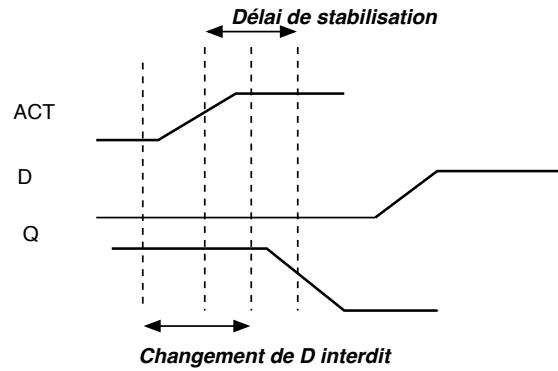
- Chronogramme : (sensible au front montant)



- Problème si D change quand ACT passe de 0 à 1, Q est indéterminé

De plus près

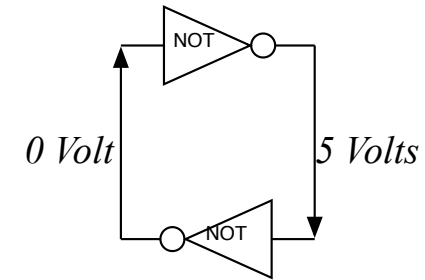
- Chronogramme: changement non instantané



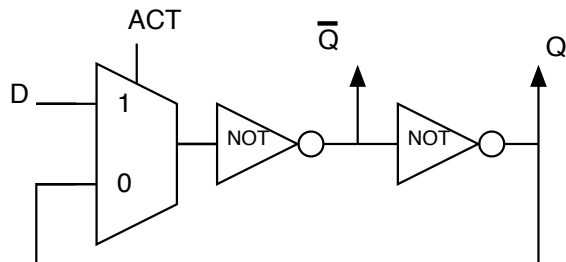
Mémorisation

- Deux Inverseurs (appelé "bistable")

-Electronique: tension électrique stable

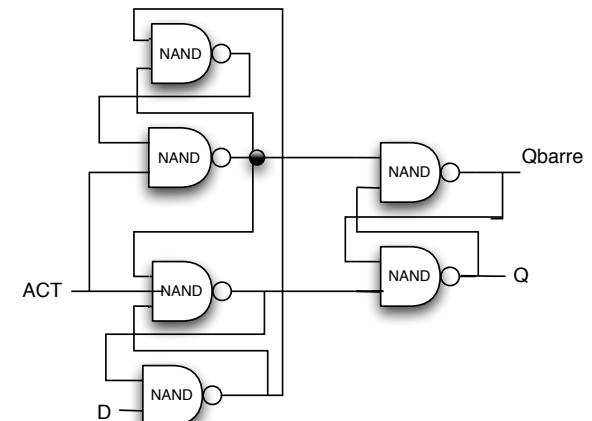


Réalisation du verrou

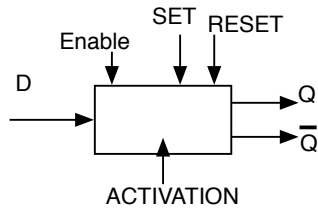


La bascule D sensible au front montant

- A base de Nands à 2 et 3 entrées



Fonctionnalités supplémentaires



• Initialisation :

- SET /RESET : mise à 1 ou à 0
- Synchrone par rapport à l'activation: Il faut en plus un front montant de ACT
- Asynchrone: indépendant de ACT

• Enable :

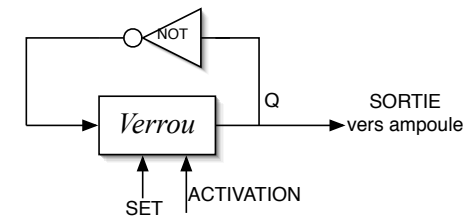
- 1 : Fonctionnement comme vu précédemment
- 0 : inhibe le fonctionnement de la bascule : pas de changement au front montant

• Souvent conventions inverses, dans les documentations le nom de l'entrée apparaît complétement

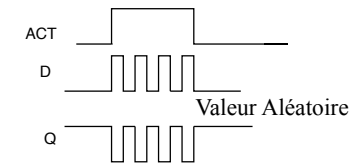
- Exemple: $\overline{\text{SET}}$: remise à 1 si l'entrée $\overline{\text{SET}}$ est égale à 0

Première utilisation

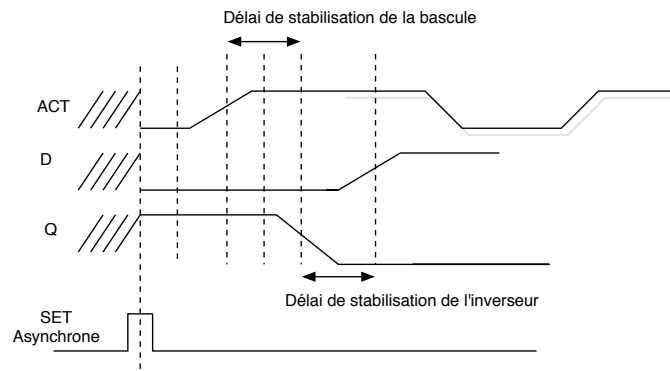
• Réalisation d'un clignotant à commande



• Oscillation pendant le niveau de ACT



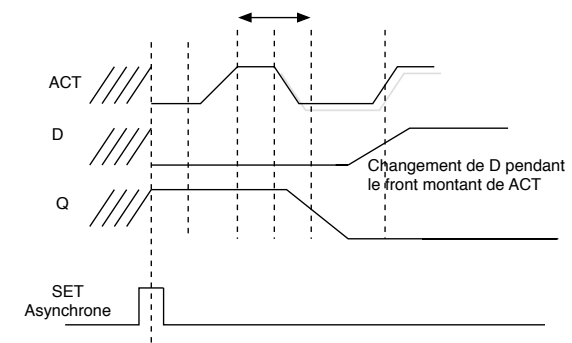
Clignotant avec une bascule D sensible au front



• Le changement de D a lieu "suffisamment loin" du front de ACT

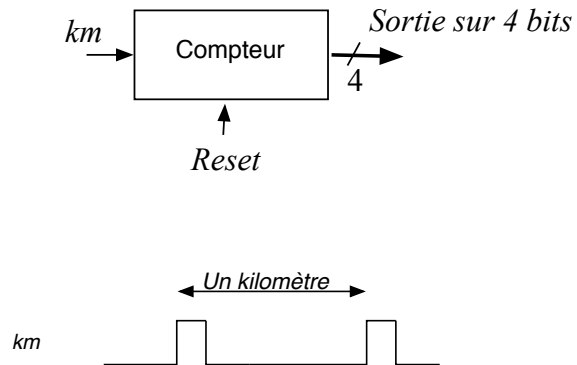
Limitation du fonctionnement

- Supposons que l'on augmente la fréquence de ACT, (on rapproche les fronts montants)
- Le changement de D aura lieu au moment du front montant suivant de ACT.
- L'état suivant devient aléatoire
- C'est cela qui limite la fréquence des horloges des ordinateurs



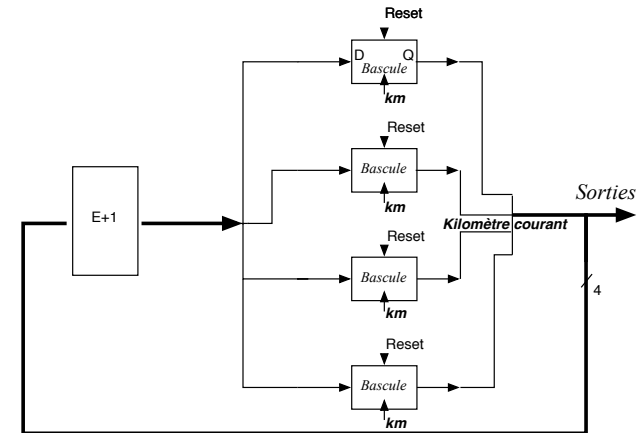
Un exemple : un compteur

- Un compteur kilométrique sur 4 bits
- A chaque kilomètre parcouru, un signal *km* est donné (front montant)

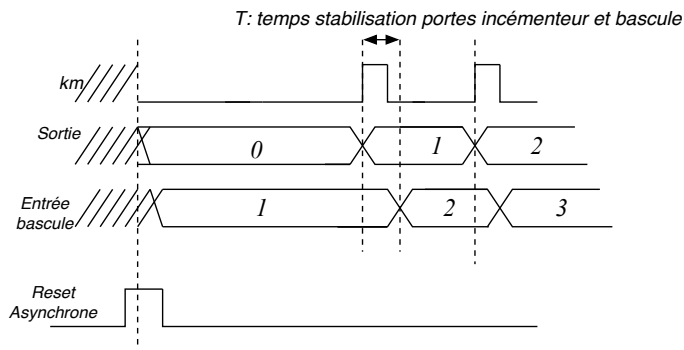


Réalisation du compteur

- Quatre bascules pour mémoriser le km courant
- Un circuit combinatoire pour calculer le kilomètre suivant : incrémenteur $S=E+1$ sur 4 bits



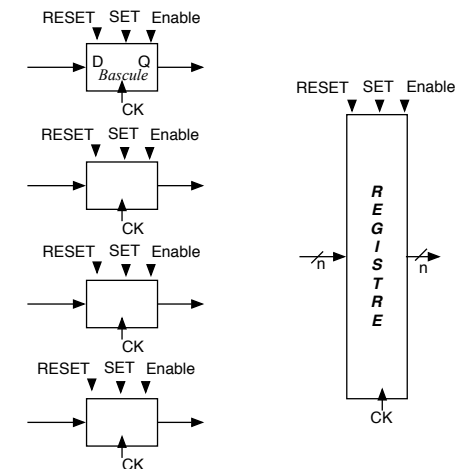
Chronogramme compteur



Temps de stabilisation: limite la fréquence de H

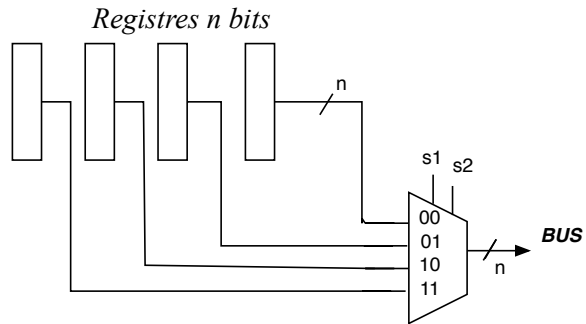
Les registres

- Registre n bits: n bascules possédant les mêmes entrées ACT, Set, Reset ...



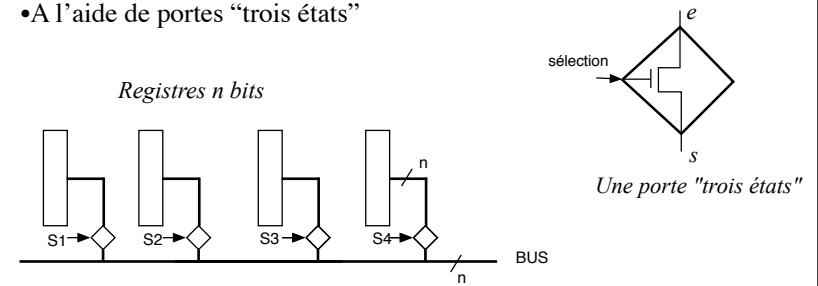
Connexions de plusieurs registres

- A l'aide de multiplexeurs



Connexions de plusieurs registres

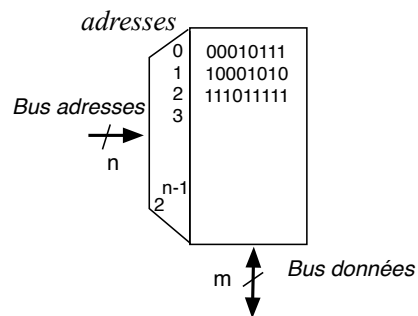
- A l'aide de portes "trois états"



- Moins coûteux que le multiplexeur en surface (un seul transistor par porte trois états)
- Mais plus de fils de sélection

Mémoires

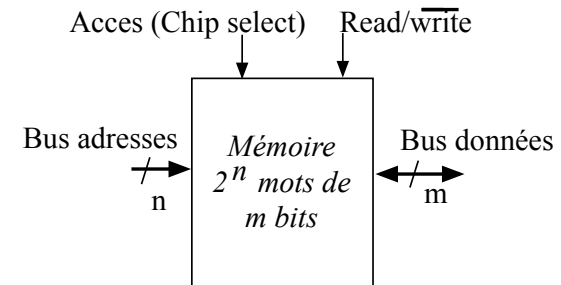
- Organisation fonctionnelle: accessible par le processeur à travers les deux bus données et adresses
- Bus données de largeur m , Bus adresses de largeur n



Mémoires

- Deux fils pour la lecture/écriture de la mémoire

read/write	Accès	
0	1	Ecriture
1	1	Lecture
1 ou 0	0	Rien



Mémoires

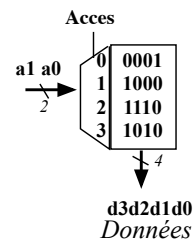
- Pour s'adapter aux différents besoins des processeurs et des utilisateurs
 - Un Circuit (une puce) MC contient: 2^n mots de 1 bits
 - Assemblage de 8 circuits MC sur une carte imprimée: **une barrette**
- Pour augmenter la mémoire dans l'ordinateur: plusieurs barrettes, on verra plus tard comment les connecter
- Mémoires Vives / Mortes
 - Vive : volatile , RAM
 - Morte : non volatile, ROM

Mémoires mortes ROM : Read Only Memory

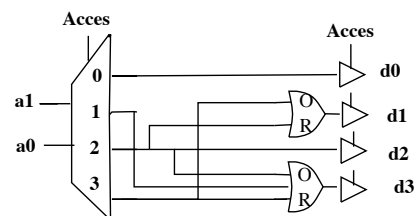
- Ceux sont des Circuits combinatoires
- Certaines ROM sont :
 - Non configurable par l'utilisateur (conception à grande échelle)
 - configurables (électriquement) : PROM
 - configurables et
 - effaçables par ultra-violet : EPROM
 - effaçables électriquement: EEPROM
- Les mémoires flash sont des EEPROM rapides (effacement par secteur et non par mot)
- Depuis quelques années le Disque dur SSD (Solid State Drive) utilise la même technologie

Réalisations de ROM

- Schéma fonctionnel

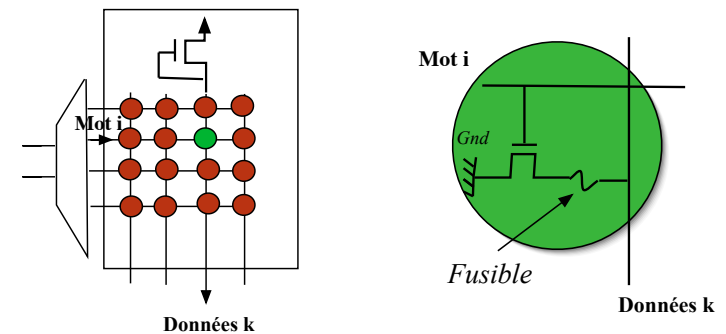


- Réalisation à l'aide de portes



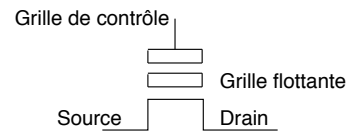
Réalisations de ROM

- A l'aide de transistors et fusibles (claqués si l'on veut 1 en sortie)



Réalisations de mémoire flash

- Technologie à base de Grille flottante



- Ecriture : Suivant la tension (+/-) appliquée sur la grille de contrôle le transistor est passant ou non
- Temps d'accès de l'ordre de 0,1ms
- Deux types
 - NAND: accès séquentiel, plus rapide en écriture, et 40% plus petite que la NOR
 - NOR: accès aléatoire, utilisé pour accès rapide à des endroits précis (Bios, Firmware...)

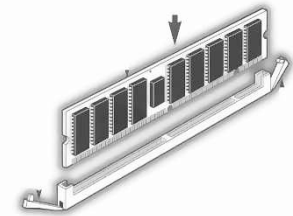
Mémoires vives RWM (Read Write Memory)

- Appelée **RAM** (Random Access Memory)
 - temps d'accès identique pour tous les mots par opposition aux supports mémoires magnétiques pour lesquels les temps d'accès sont différents

- Mémoires statique/dynamique

- statique (**SRAM**):

- à base de bistables (6 transistors)
- utilisé pour les mémoires caches
- Temps d'accès

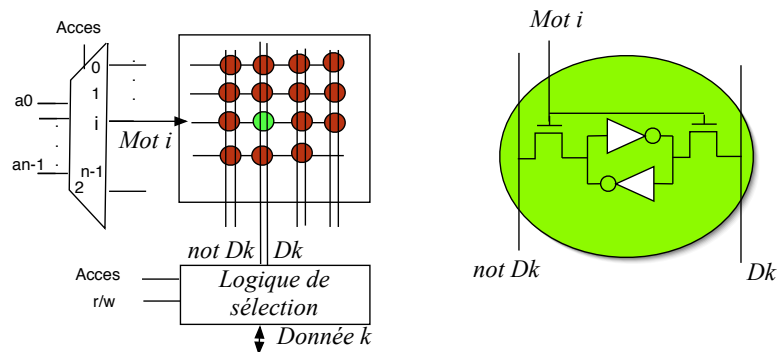


- dynamique (**DRAM**)

- Moins coûteuse à la réalisation (moins de transistors)
- Moins rapide que les SRAM (~facteur 10)

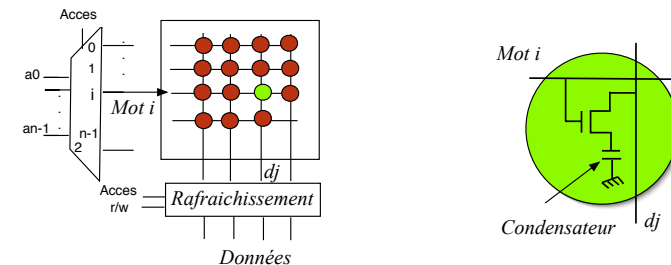
Réalisation de RAM statique

- Réalisation à base de bistable



Réalisation de RAM dynamique

- Réalisation à base de condensateur et transistor



- Besoin de rafraîchissement régulier (condensateur se décharge), toutes les 2 à 4 ms;
 - Lecture puis re-écriture par circuit spécialisé de rafraîchissement interne à la mémoire
 - Le rafraîchissement consomme ~5% du temps d'accès à la mémoire

Mémoires vives Dynamiques

•Barettes de Mémoires - Différentes normes de connexions

-SIMM (Single Inline Memory Module), 30 puis 72 connecteurs, bus 32 bits

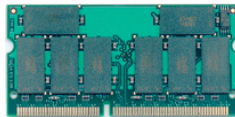
- Jusqu'au Pentium 1 (~1995)



-DIMM (Dual), 183 connecteurs bus 64 bits



-SO-DIMM pour ordinateur portable



Types de RAM dynamique

•DRAM FPM (Fast Page Mode):

- 1992
- Temps d'accès 60 ns ;
- Mémoire asynchrone: Horloge propre (besoin de synchronisation avec le processeur)
- Mode rafale, le temps d'accès n'est pas le même pour le 1^{er} mot et les 3 suivant

•DRAM EDO (Extended Data Out) :

- 1995
- Sortie des données améliorée, principe chevauchement des accès (idée du pipeline)
- Temps d'accès 50ns
- Mémoire asynchrone
- Ces types de mémoires sont *asynchrones* par rapport au processeur, elles ont des horloges qui leur sont propres. Besoin de synchronisation avec le processeur qui doit donc "attendre" pendant les phases de synchronisation

Types de RAM dynamique

•SDRAM : Synchrone DRAM,

- Apparue en 1997
- Temps d'accès plus petit (synchrone avec le processeur)
- Cadence ~150 Mhz-> Temps accès \pm 10 ns

•DDR-SDRAM (Double Data Rate):

- Apparu fin 99
- DDR2 depuis 2005
 - Double le taux de transfert de la SDRAM
 - Cadence entre 200 et 800 Mhz , entre 1,6 et 6,4 Gbit/s
- DDR3 (2007) deux fois plus rapide que la DDR2: entre 6,4 et 10 Gbit/s

•DR-SDRAM (ou RDRAM) : Direct Rambus

- Apparu fin 99
- Cadence Jusqu'à 1000 Mhz; Accès \pm 2 ns
- Technologie propriétaire (RAMBUS et INTEL)
- Plus chère et peu utilisée

Disque dur

•Disque magnétique

- Plateau de verre en rotation (fragile), sensible aux champs magnétiques
- Temps d'accès 10 à 15 ms , Ecriture \leq 100 MégaOctet/s peu d'évolution depuis 10 ans
 - Facteur 1000 par rapport à de la RAM

•Mémoire flash (EEPROM)

- Clé USB, Memory stick....
- Depuis 2001
- Réécriture 10 000 à 100 000 fois suivant la technologie utilisée

•Disque SSD (Solid State Drive)

- Depuis 2005,
- A base de mémoire flash
- Encore 10 fois plus cher que les disques magnétiques
- Temps d'accès 0.1ms, Ecriture \geq 500 MégaOctets/s